# 處理器與記憶體實作lab6

11178010 電機碩一 黃柏勳

11178036 電機碩一 陳孟廷

## Lab 6-1

請同學以RTL code 完成這顆MIPS CPU中 I\_Cache.v 空白部分，使用ModelSim編譯完成並且完成驗證。

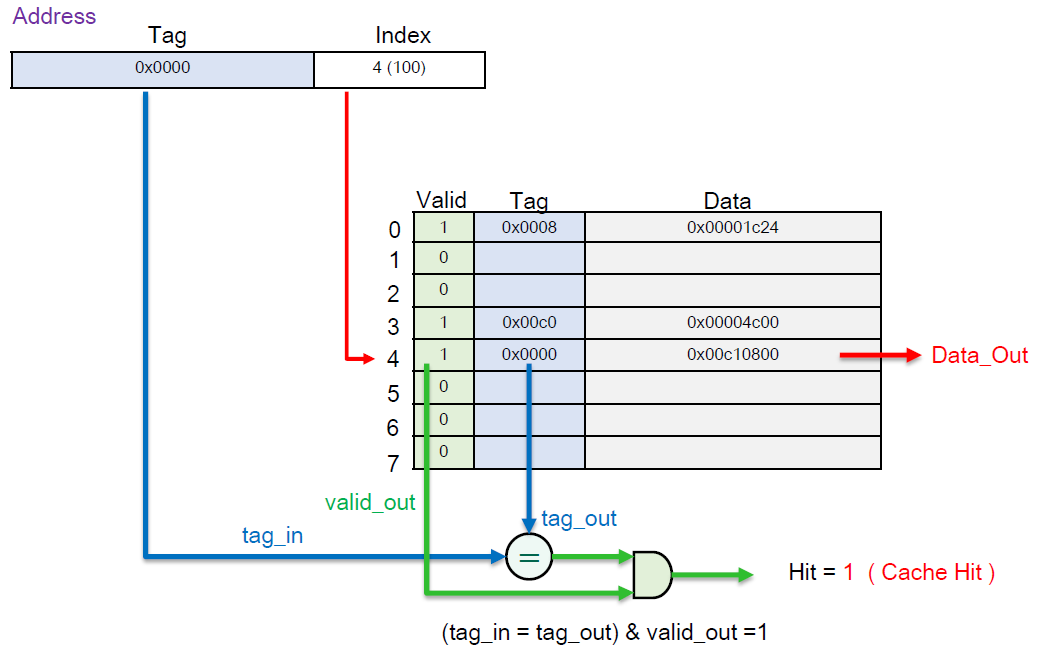


圖 1. Direct Mapped Architecture

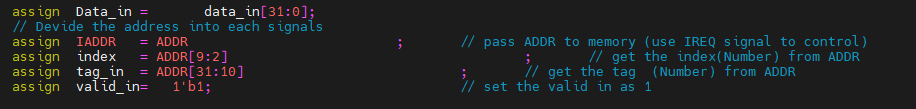


圖 2. 程式碼修改(A)

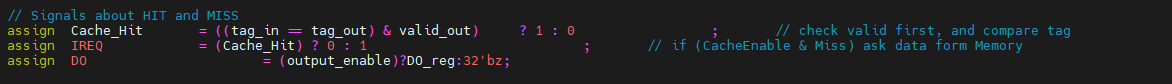


圖 3. 程式碼修改(B)

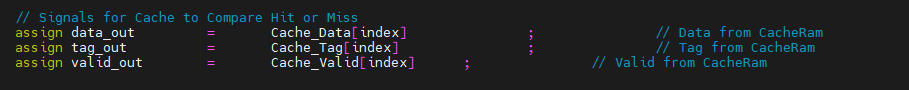


圖 4. 程式碼修改(C)

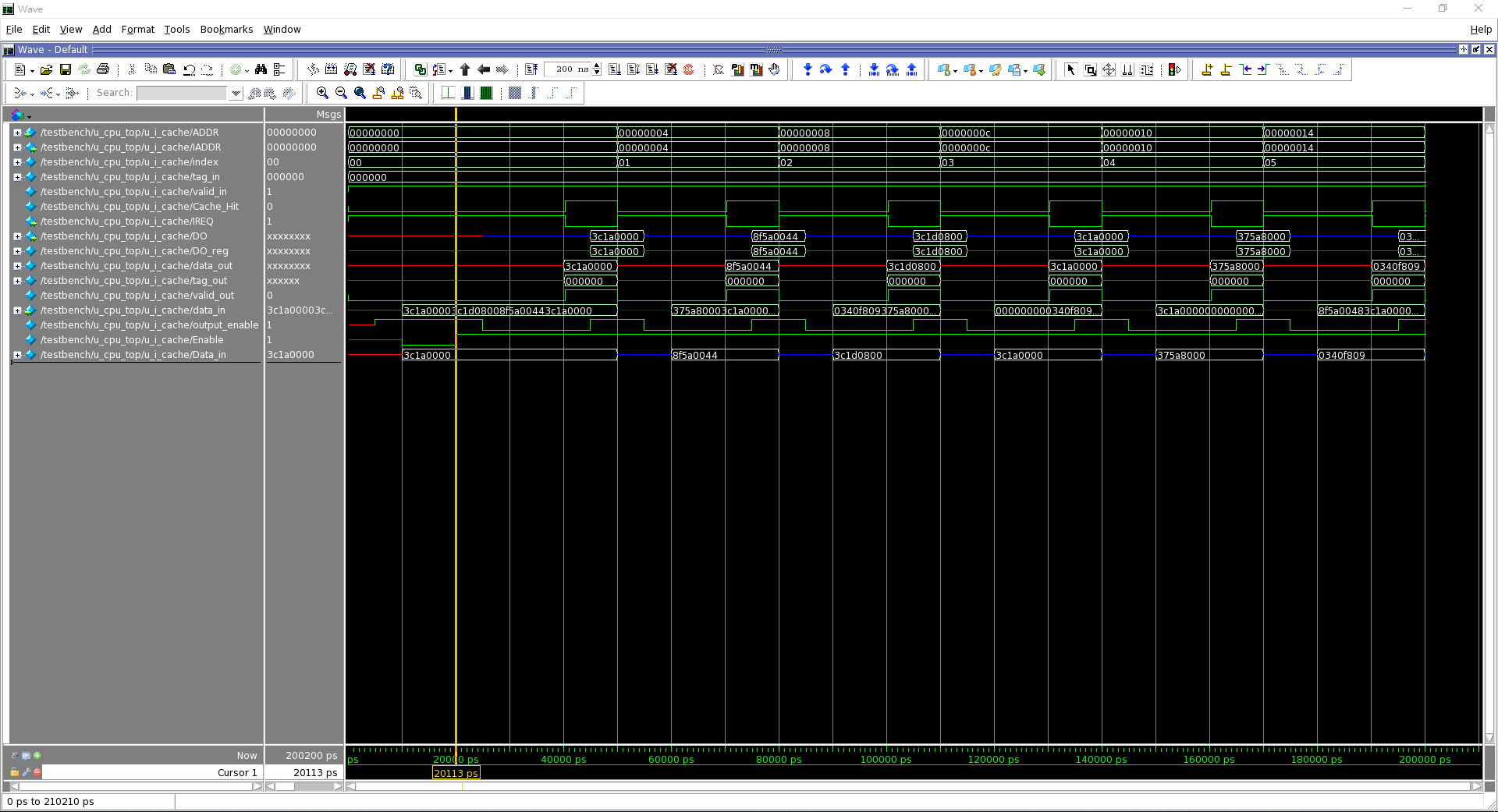


圖 5. 模擬結果

## Lab 6-2

請同學以RTL code 完成這顆MIPS CPU 中 I\_Cache.v 空白部分,使用ModelSim編譯完成並且完成驗證

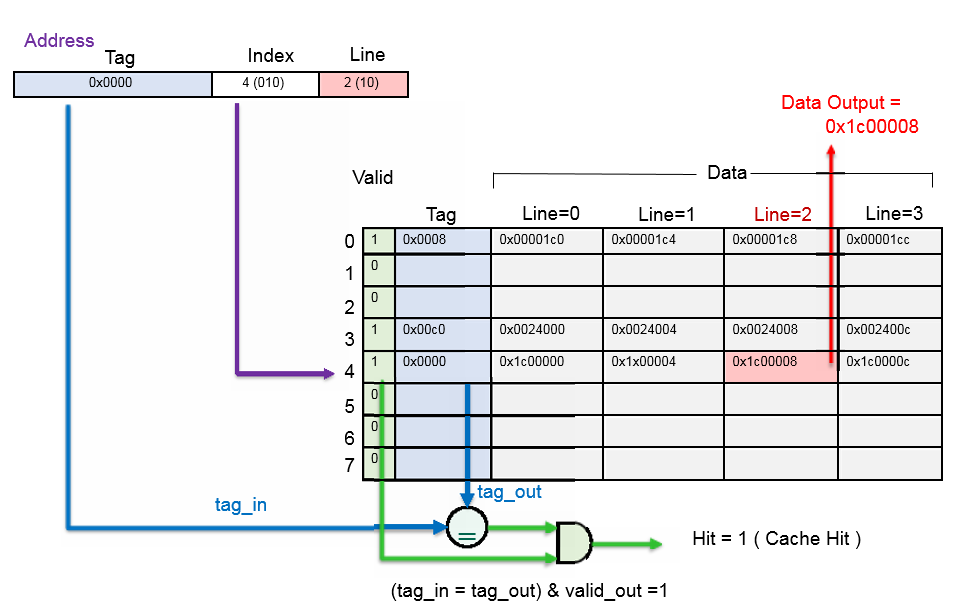


圖 6. Cache Line Refill Architecture

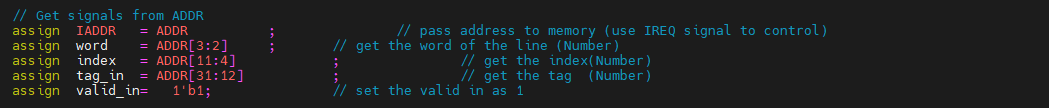


圖 7.程式碼修改(A)



圖 8. 程式碼修改(B)

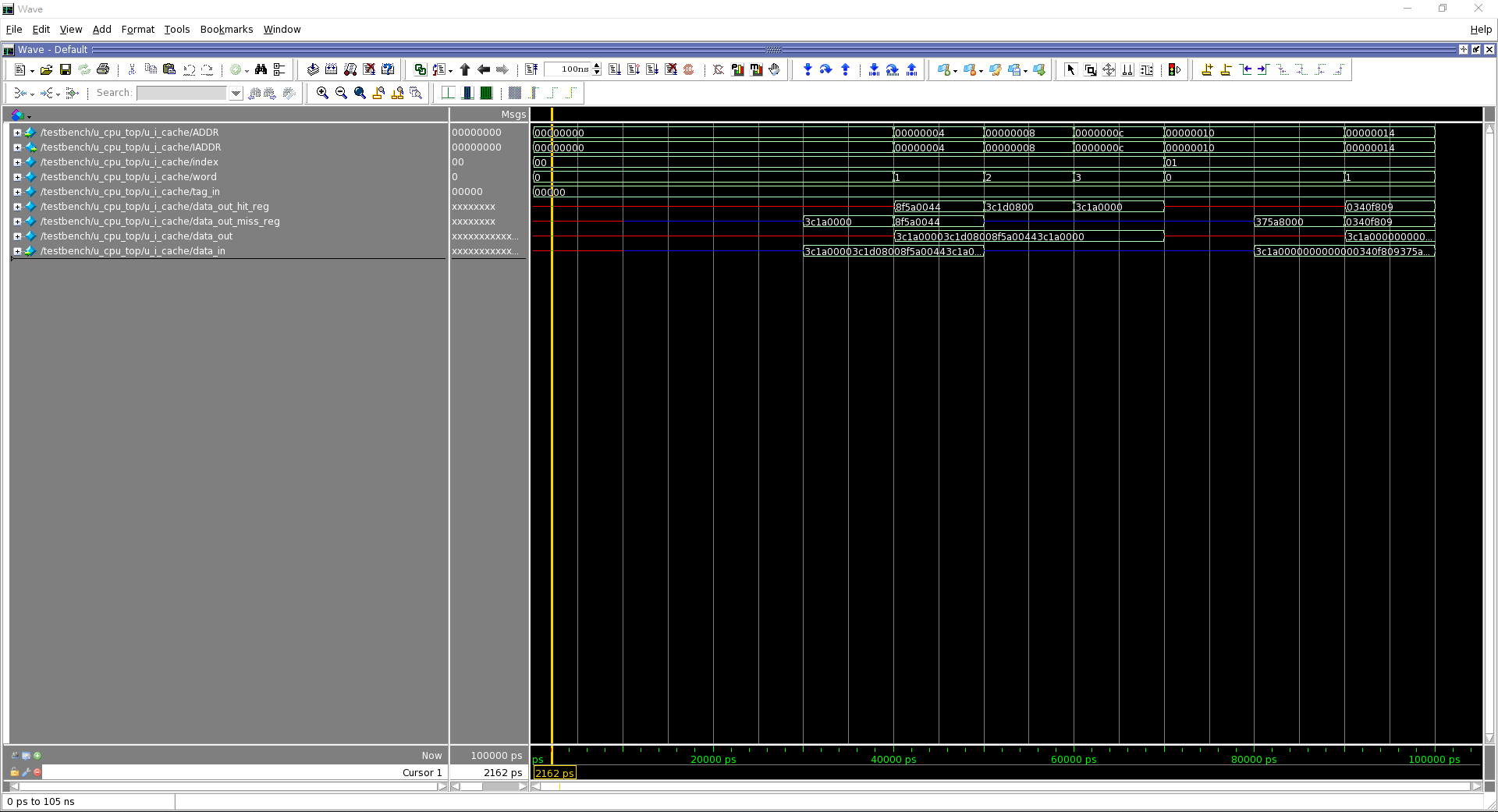


圖 9. 模擬結果

## 心得

經由這次LAB6的課程與實作，了解到了時間區域性和空間區域性的大致介紹，以及快取系統的兩個種類，最後再從實作中透過RTL實現I-cache，透過波形圖的輸出了解I-cache的整體架構跟行為。